

APZ 212 30 – El nuevo procesador central AXE de alta capacidad de Ericsson

Per Holmberg y Nils Isaksson

El APZ 212 30 es un procesador central completamente nuevo para el sistema AXE con tres o cuatro veces la capacidad de ejecución de sus predecesores. La alta capacidad se consigue combinando las propiedades de prestaciones únicas del APZ con una arquitectura de procesador de vanguardia y un innovador diseño.

Otras características del nuevo procesador son una mayor capacidad de memoria y una nueva red en anillo para interfaces de comunicación externa que extiende en gran medida la flexibilidad de las configuraciones del bus del procesador regional y habilitan a los procesadores APZ para hacer uso de nuevas interfaces de comunicaciones de alta velocidad. La implementación de circuitos CMOS con alto nivel de integración da una baja disipación de energía y mejora la fiabilidad.

Siendo totalmente compatible con las aplicaciones existentes y el hardware instalado, el nuevo procesador puede ser usado en nuevas instalaciones y para aumentar la capacidad de ejecución y de memoria del sistema en sistemas instalados con anterioridad. Con este nuevo procesador, el sistema AXE 10 satisface las demandas de mayor capacidad creadas por el creciente número de abonados en redes móviles y por nuevas ofertas de servicios generadoras de ingresos.

Los autores describen la arquitectura e implementación del nuevo procesador APZ 212 30, poniendo especial consideración a sus avanzados mecanismos de ejecución y comunicación.

Arquitectura del APZ 212 30

El APZ 212 30 es un diseño completamente nuevo (Figura 1). Retiene y mejora aún más la singular arquitectura de altas prestaciones de la serie de procesadores APZ 212, implementa una canalización de ejecución de vanguardia, e introduce varias propiedades de nuevas prestaciones. La totalidad de su arquitectura ha sido optimizada para las características de las telecomunicaciones — una eficiente conmutación de contextos, acceso a memoria y comunicación

permiten al procesador ejecutar millares de tareas en paralelo. En vez de confiar a una sola unidad de procesador la realización de todo el trabajo, la tarea de la ejecución ha sido dividida entre dos procesadores dedicados:

- la unidad procesadora de instrucciones (Instruction Processor Unit - IPU), que ejecuta el código de aplicación; y
- la unidad procesadora de señal (Signal Processor Unit - SPU), que termina los protocolos y programa trabajos (en los ordenadores convencionales, estas funciones están por lo general asociadas con el sistema operativo).

Otra propiedad de los anteriores procesadores APZ 212 que se conserva es la arquitectura Harvard pura, en la que la IPU tiene cachés de instrucciones y datos separadas y memoria separada para instrucciones (almacenamiento de programa, program store - PS) y datos (almacenamiento de datos, data store - DS). Este diseño permite el acceso paralelo a instrucciones y datos incluso con fallos en la caché.

La ejecución del programa en la IPU es muy avanzada: las instrucciones se descodifican y se ejecutan en paralelo (ejecución superescalar); las instrucciones se reordenan también dinámicamente (ejecución "fuera de orden") para conseguir unas prestaciones óptimas. Las instrucciones de los programas de aplicación se descodifican a instrucciones internas de estilo RISC (reduced instruction-set computer – ordenador con juego de instrucciones reducido). Para gestionar los saltos en el código, el procesador emplea predicción dinámica de ramificación, ejecutando en el camino predicho (ejecución especulativa). Las características innovadoras incluyen la descodificación previa de instrucciones según se cargan en el almacenamiento de programa, y una arquitectura de almacenamiento de datos de altas prestaciones.

El APZ 212 30 se comunica con el sistema AXE a través del gestor del bus del procesador regional (Regional Processor Handler - RPH), que implementa una nueva red en anillo que asigna el ancho de banda de comunicación a interfaces de bus serie y paralelo del procesador regional (RP) y redes de alta capacidad.

Flujo de señales de trabajo

El gestor de bus del procesador regional se conecta directamente con hasta 32 ramas de bus de procesador regional. Las señales de trabajo externo (mensajes) que llegan por el bus RP se envían a la unidad procesadora de señal, que analiza la señal, le asigna una prioridad, y la pone en cola en el búfer de trabajo donde espera la ejecución en la unidad procesadora de instrucciones. La SPU carga las señales de trabajo en la IPU de una en una. Cuando llega una señal, la IPU identifica, busca la dirección de comienzo del código de programa relacionado en la tabla de almacenamiento y referencia de programa (program and reference store - PRS), y entonces

CUADRO A, ABREVIACIONES

ALU	Arithmetic logic unit	MAS	Maintenance system
ASIC	Application-specific integrated circuit	MAU	Maintenance unit
BGA	Ball grid array	MTBSF	Mean time between system failures
CMOS	Complementary metal-oxide semiconductors	POWC	Power controller
CP	Central processor	PRS	Program and reference store
CPS	Central processor operating system	PS	Program store
DMA	Direct memory access	RISC	Reduced instruction set computer
DRAM	Dynamic random-access memory	RP	Regional processor
DS	Data store	RPH	Regional processor handler
ECC	Error-correcting code	RS	Reference store
I/O	Input-output	SDRAM	Synchronous DRAM
IPU	Instruction processor unit	SPU	Signal processor unit
ISP	In-service performance	SRAM	Static RAM
		SSRAM	Synchronous, static RAM
		UMB	Update and match bus

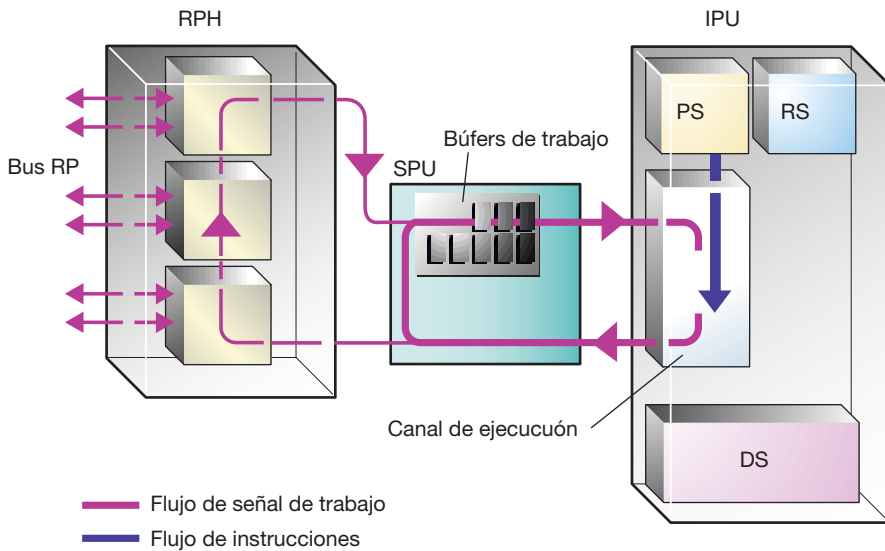


Figura 1
La arquitectura del APZ 212 30.

comienza a ejecutar el programa. Los programas que se ejecutan en la IPU pueden enviar nuevas señales de trabajo a la SPU. Las señales que se asignan a otros bloques de programa se encolan en memorias de trabajo; las señales asignadas a otros procesadores del sistema se encaminan para transmisión por los buses RP.

Canalización (pipeline) de señales de trabajo

La interfaz IPU-SPU ha sido optimizada para soportar un alto caudal de señales de trabajo, que

se transportan a través de una canalización (pipeline) entre la SPU y la IPU. Mientras la IPU ejecuta un trabajo, la SPU precarga la siguiente señal de trabajo directamente en un banco extra de registros de procesador en la IPU. Por lo tanto, cuando la IPU finaliza el primer trabajo, intercambia los bancos de registros e inmediatamente empieza a ejecutar el trabajo previamente cargado sin tener que copiar primero los registros (Figura 2).

Las señales de trabajo a la SPU se transportan también a través de una canalización. Los regis-

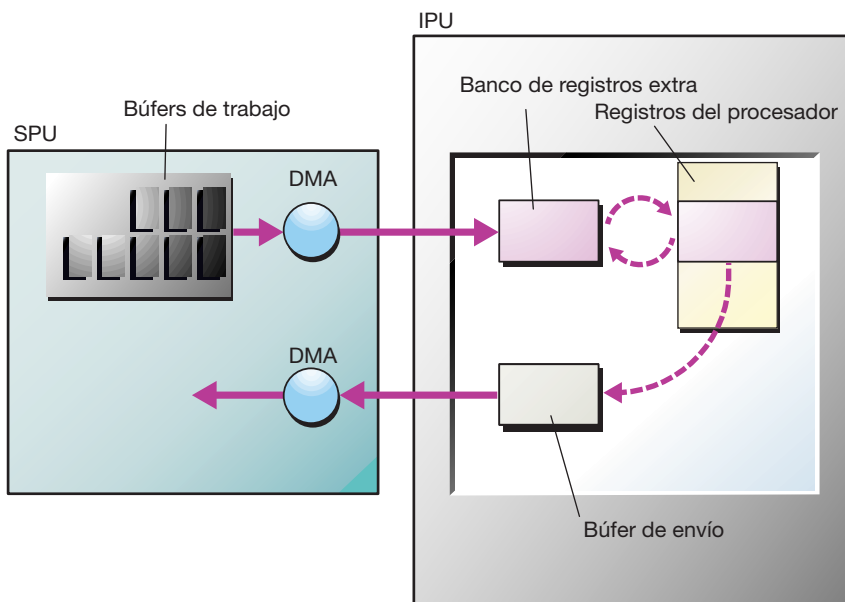


Figura 2
La interfaz IPU-SPU: la canalización de señales de trabajos.

tros del procesador incluidos en las señales se copian a un búfer de transmisión usando la totalidad del ancho de banda interno del chip del procesador de la IPU. La SPU trae las señales desde memoria de transmisión mientras la IPU sigue ejecutando el mismo trabajo o cambia al siguiente. La SPU usa dispositivos autónomos de acceso directo a memoria (direct-memory-access - DMA) para transportar las señales de trabajo.

La combinación de descargar la programación de trabajos y la terminación del protocolo de la CPU principal a la SPU y de las canalizaciones de señales de trabajos permite al APZ 212 30

- conmutar contextos y empezar a ejecutar un nuevo trabajo en tan solo 30 ciclos de reloj; y
 - enviar una señal en tan solo 15 ciclos de reloj.
- Compárese esto con centenares o millares de ciclos de reloj que necesita un microprocesador estándar para hacer la misma tarea. El APZ 212 30 puede así can conmutar eficientemente contextos 300-000 veces por segundo y aún dedicar la mayor parte de tiempo a ejecutar código de aplicación.

Estructura de la IPU

Comparado con los microprocesadores corrientes, el circuito del procesador de instrucciones APZ 212 30 no está limitado a un solo bus de procesador para comunicarse con la memoria principal y con otros procesadores redes. En vez

de ello, buses separados de alta capacidad se conectan con la memoria de almacenamiento de programa y referencia, las placas de memoria de almacenamiento de datos, y la SPU. Cada bus opera a plena velocidad de la frecuencia del procesador (Figura 3).

Las interfaces de memoria de la IPU han sido optimizadas para adecuarse a las características de las aplicaciones de telecomunicaciones. El acceso al almacenamiento de programa y referencia es con frecuencia secuencial y concentrado a un estrecho margen de direcciones. Para soportar este tipo de acceso, el sistema de memoria implementa un bus ancho y usa "modo de página" en memoria de acceso aleatorio moderna, síncrona, dinámica (SDRAM). Esta combinación da un acceso casi instantáneo (tres ciclos de reloj) a los datos dentro de un rango de direcciones de 8 Kpalabras (16 Kbyte). De forma similar, las tablas y los bloques de programas frecuentemente usados se copian a RAM estática síncrona (SSRAM) para acceso en tan solo dos ciclos de reloj.

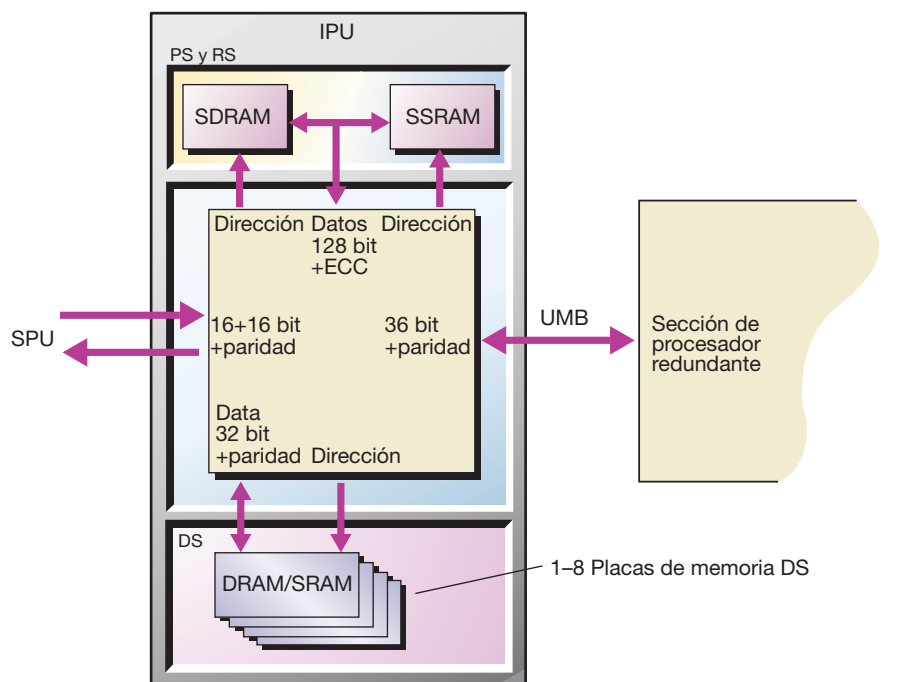
Por contraste, el acceso al almacenamiento de datos es usualmente no secuencial y distribuido entre varias direcciones de memoria diferentes. La IPU soporta este tipo de acceso dividiendo el almacenamiento de datos en bancos y permitiendo hasta ocho intentos de acceso paralelo, siempre y cuando no se dirijan al mismo banco dos intentos simultáneamente. La zona de memoria en cada placa de memoria de almacenamiento de datos está dividida en 16 bancos, lo que significa que una placa puede dar un ancho de banda total en el sistema. El almacenamiento de datos, que es altamente configurable, puede alojar cualquier combinación de placas de memoria desde una hasta ocho. En la actualidad se dispone de dos tipos de placas de memoria: una placa DRAM de 512 MPalabras (1 GBytes), y una placa SRAM de alta velocidad de 32 MPalabras (64 MBytes).

Ejecución de instrucciones

Las instrucciones se ejecutan en la unidad procesadora de instrucciones, que tiene una corta canalización (pipeline) de instrucción - ejecución de seis etapas (Figura 4) en la cual cada etapa corresponde a un ciclo de reloj. Las instrucciones se muestran circulando de arriba abajo, con un nuevo par de instrucciones empezando cada ciclo de reloj. En las aplicaciones de telecomunicaciones, que se caracterizan por muchos cambios en el flujo de control (trabajos cortos y frecuentes saltos y llamadas a otros bloques de software), la canalización debe ser corta.

Internamente, el procesador usa el equivalente de microinstrucciones RISC internas. Las instrucciones del programa de aplicación se descodifican en estas microinstrucciones antes de ser ejecutadas. Las instrucciones complejas se descodifican en una serie de microinstrucciones.

Figura 3
Diagrama de bloques de la IPU.



La primera etapa, denominada Instruction fetch (Traer Instrucción), trae las instrucciones en palabras de memoria de 128 bits (ocho palabras de 16 bits) de la caché de programa residente en el chip, del caché externo de segundo nivel, o del almacenamiento de programa y referencia. Dada una longitud media de instrucción de 1,5 palabras, hay aproximadamente cinco instrucciones en cada palabra de memoria. Por lo tanto, se cargan cinco nuevas instrucciones en cada ciclo de reloj.

En la segunda etapa, denominada Partition (Partición), se extraen hasta dos instrucciones de la palabra de memoria. Estas se descodifican en la tercera etapa, Decode Instruction (Descodificar Instrucciones) que realiza operaciones simples — tales como una instrucción ADD (sumar), que suma el contexto de dos registros del procesador — y se descodifican directamente en una sola microinstrucción. Las instrucciones que realizan operaciones complejas — por ejemplo, una instrucción de finalización de programa (EP), que finaliza la ejecución del actual trabajo y cambia el contexto — se descodifican en una serie de microinstrucciones.

La cuarta etapa se denomina "opread" (leer operando). Dependiendo del tipo de Operando, las microinstrucciones se escriben en una de cinco colas, denominadas estaciones de reserva. Aquí, las instrucciones esperan que sus operandos sean traídos desde el archivo de registros o desde memoria, o esperan los resultados de anteriores instrucciones. Hasta ocho instrucciones pueden estar activas en esta etapa simultáneamente.

Cuando una instrucción ha recibido todos sus operandos, se pasa a la quinta etapa, Execute (Ejecutar). En esta etapa, se pueden ejecutar hasta dos instrucciones en paralelo, en unidades de aritmética y lógica (ALU) separadas.

La etapa final, Commit (Remitir), escribe los resultados de las instrucciones en un registro o memoria.

El ultramoderno diseño del canal de ejecución ofrece las siguientes características:

- ejecución superescalar — se pueden descodificar, ejecutar y remitir dos instrucciones en el mismo ciclo de reloj;
- predicción de ramificación — cuando el procesador realiza un salto condicional, no espera hasta que se conoce la condición; en vez de ello, predice la ramificación más probable y continúa la ejecución en esa rama. La predicción de ramificación está basada en una tabla de predicción muy grande de 64 K entradas usada para una gran precisión en la predicción en la aplicación de telecomunicaciones;
- ejecución especulativa — la ejecución en una ramificación condicional es especulativa hasta que se conoce la condición de ramificación. Los resultados de las instrucciones ejecutadas se almacenan en registros temporales. Si el procesador falla en la predicción de la ramifi-

Canal de ejecución de instrucciones

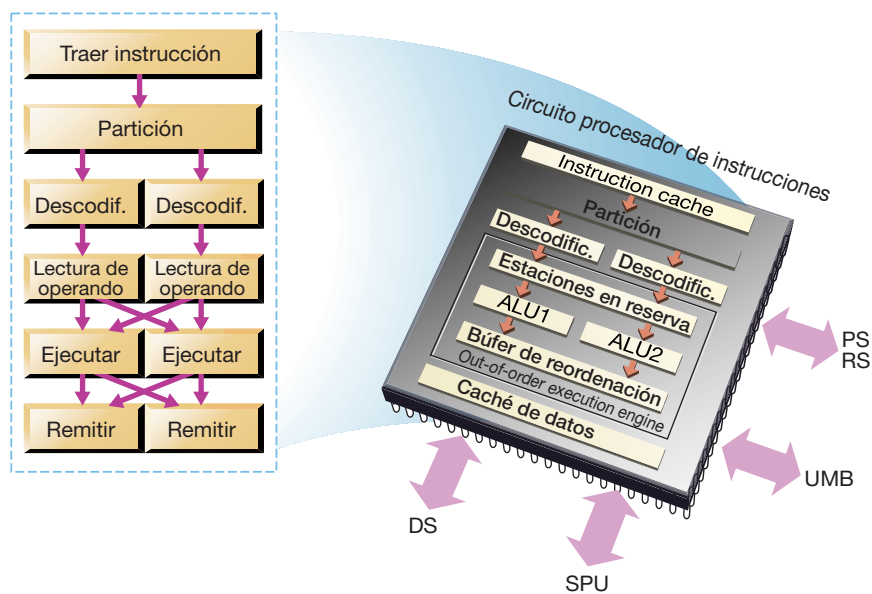


Figura 4
Canalización de instrucciones.

cación correcta, los registros se borran y se vuelve a comenzar la ejecución. De lo contrario, los resultados se remiten en la última etapa de la canalización (Remitir).

- Ejecución Fuera de orden (no secuencial) — si una instrucción se retarda (por ejemplo, por esperar a que lleguen los datos desde la me-

CUADRO B, CARACTERÍSTICAS PRINCIPALES DEL PROCESADOR APZ 212 30

Las características principales del procesador APZ 212-30 son:

- Gran capacidad de proceso — tres a cuatro veces más capacidad que el APZ 212 20 (dependiendo de las características de la aplicación). Para expandir la capacidad, los diseños combinaron una nueva y avanzada arquitectura de procesador, una frecuencia de reloj más alta y placas de almacenamiento de datos con RAM estática de alta velocidad;
- Gran capacidad de memoria — 4 Gpalabras (8 GBytes) de almacenamiento de datos (aumento desde 1,5 G Palabras), 96 MPalabras (192 MBytes) de almacenamiento de programa (aumento desde 64 MPalabras), y 32 MPalabras (64 MBytes) de almacenamiento de referencia (aumento desde 4 MPalabras);
- Nuevas funciones — una interfaz genérica de bus de comunicación basada en un red en anillo que permite la adaptación a redes de alta velocidad. Un nuevo mecanismo de búfer de comunicación permite a los bloques de programa compartir — datos en un búfer; y — acceso, usando nuevas instrucciones de

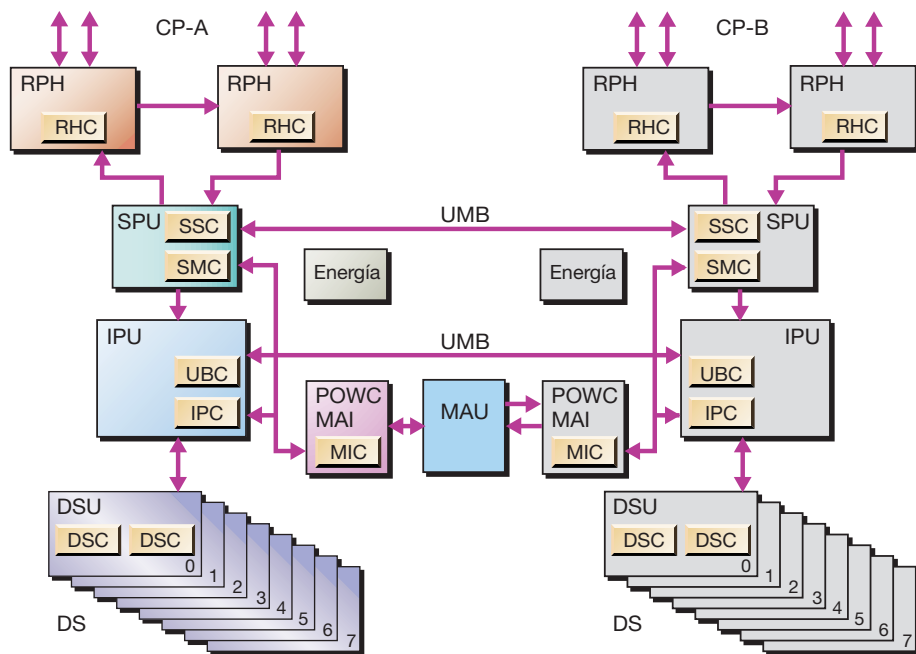
lectura y escritura del búfer de comunicación rápida.

- Configuraciones opcionales con placas SRAM de alta velocidad y placas estándar de RAM dinámica para almacenamientos de datos. Usando placas SRAM adicionales, el sistema puede ser configurado desde un precio / capacidad óptimos a la mejor capacidad.
- Desempeño en servicio (In-service performance - ISP) — la integración en semiconductores de metal-óxido complementarios (complementary metal-oxide semiconductors - CMOS) a la medida mejora la fiabilidad del sistema. En la mayoría de las configuraciones, significa que el tiempo medio entre fallos del sistema (mean time between system failures - MTBSF) es ahora superior a 10.000 años. Interfaces bien definidas y menos placas mejoran los diagnósticos cuando se producen fallos de hardware.
- Mejora del mantenimiento del hardware — número de placa, revisión.
- Tamaño reducido — el procesador se aloja en un solo armario de 600 mm y doble sección (la mitad del tamaño de su predecesor).

Figura 5

Estructura de hardware duplicada del procesador central APZ 212 30.

DS	Almacenamiento de datos
DSC	Circuito de almacenamiento de datos
DSU	Unidad de almacenamiento de datos
IPC	Circuito procesador de instrucciones
IPU	Unidad procesadora de instrucciones
MAI	Interfaz de la unidad de mantenimiento
MAU	Unidad de mantenimiento
MIC	Circuito de interfaz de mantenimiento
POU	Unidad de energía
POWC	Unidad de control de energía
PRS	Almacenamiento de programa y referencia
RHC	Circuito RPH
RPH	Gestor del procesador regional
SMC	Circuito maestro de la SPU
SPU	Unidad procesadora de señal
SSC	Circuito esclavo de la SPU
UBC	Circuito de actualización del bus



moria), entonces se permite a las instrucciones subsiguientes saltarse la instrucción en espera. El hardware confirma primero la dependencia entre instrucciones para asegurar que una instrucción no se salta ninguna instrucción o instrucciones de las cuales depende para los datos.

- renombrado de registro— el procesador tiene acceso a más registros físicos de los que puede ver el programador. Las dependencias se evitan asignando un nuevo registro temporal a los resultados de cada instrucción. Esto realiza aún más la capacidad de ejecución fuera de orden;
- sistema de caché de instrucciones multinivel — el soporte para traer instrucciones está proporcionado por una pequeña caché de nivel uno incorporada en el chip, con un acceso de un solo ciclo de reloj, y una caché mayor de nivel dos basada en SRAM; y
- caché de datos — el soporte para traer datos está proporcionado por una pequeña caché de datos incorporada en el chip junto con placas SRAM opcionales de baja latencia.

Además de estas características, el procesador de instrucciones APZ implementa las siguientes características singulares para mejorar aún más su capacidad:

- Arquitectura Harvard — el diseño de memoria separada para instrucciones y datos

permite el acceso simultáneo a instrucciones y datos.

- Descodificación previa en tiempo de carga — las instrucciones se convierten a un nuevo formato optimizado cuando se cargan en la memoria de programa. Esta acción, que es llevada a cabo por el cargador del sistema operativo, no es visible al usuario. Gracias al nuevo formato, la IPU es capaz de extraer dos instrucciones desde una palabra de memoria en tan solo un ciclo de reloj.
- Extracción prematura de salto — las instrucciones de salto y sus direcciones meta se identifican en la etapa de partición antes de que las instrucciones hayan sido descodificadas. Esto permite a la IPU traer instrucciones prematuramente desde el nuevo camino y minimiza la penalización por dar el salto. Esta propiedad es especialmente importante en los procesadores para aplicaciones de telecomunicaciones, ya que el código asociado tiene una alta frecuencia de instrucciones de salto.
- Extracción prematura de carga — el factor que más afecta a la capacidad en los procesadores modernos en los que funcionan aplicaciones, tales como un sistema de control de telecomunicaciones (que usa una gran cantidad de almacenamiento de datos) es el tiempo de acceso para leer datos desde la DRAM. El nuevo formato de instrucción optimizado

permite a la IPU identificar y extraer prematuramente la dirección variable en la canalización (durante la etapa de partición), lo que disminuye el tiempo de acceso para la lectura de datos.

- **Desenrollador de bucles** — en lugar de ejecutar los bucles en el microprograma, el desenrollador de bucles genera instrucciones secuenciales al vuelo. Esto elimina completamente los saltos en los bucles y mejora la capacidad cuando se copian los datos en y desde los registros; cuando los datos se copian de memoria a memoria; y durante las operaciones de búsqueda lineal en memoria.

Unidad procesadora de señal

La unidad procesadora de señal (Signal Processor Unit - SPU) está equipada con dos procesadores especializados: el procesador SPU maestro y el procesador SPU esclavo, cada uno de los cuales es un procesador RISC microprogramado cuyo juego de instrucciones ha sido optimizado para sus deberes específicos.

El procesador SPU maestro programa los trabajos y los precarga para su ejecución en la IPU. También programa los trabajos periódicos en el sistema explorando la tabla de trabajos y creando y programando las señales de trabajo para ponerlos en marcha.

El procesador SPU esclavo administra la red en anillo del RPH y termina el protocolo del bus RP (por ejemplo, retransmisión). Los mensajes salientes se encaminan al RPH correcto. Los mensajes entrantes son enviados al procesador SPU maestro.

Los dispositivos de acceso directo a memoria sirven como transportes automáticos de datos de señales entre el búfer de la SPU y la IPU así como del RPH.

Gestor del procesador regional

El gestor del procesador regional conecta el procesador central a los procesadores regionales proporcionando interfaces a hasta 32 ramificaciones del bus del RP. Internamente, el gestor del procesador regional implementa una nueva red en anillo para la comunicación entre la SPU y las placas de la interfaz. La red en anillo ofrece mayor ancho de banda y facilita la configuración flexible de las placas de interfaz y la asignación también flexible del ancho de banda de comunicación. Hay actualmente dos tipos de placas de interfaz: una para conectar a dos buses RP paralelos; y uno para conectar a cuatro de los nuevos buses serie del RP. La red en anillo del RPH soporta también la adición de nuevas interfaces de comunicación de datos de alta velocidad (Cuadro C).

Desempeño en servicio

Con su configuración tolerante a fallos, usando dos secciones de procesador central (CP-A y CP-B) que ejecutan en paralelo, el APZ 212 30 lleva más allá la tradición de robustez del APZ (Figura 5). Una unidad de mantenimiento (Maintenance Unit - MAU) supervisa la operación, seleccionando una sección para ejecutar y la otra sección para funcionar en reserva activa (standby). La sección en reserva activa lleva a cabo las mismas operaciones que la sección ejecutante, yendo 12 ciclos de reloj por detrás de ella. Tener dos secciones garantiza la tolerancia contra fallos de hardware y permite a los operadores llevar a cabo actividades de mantenimiento sin pérdida de servicio. Por ejemplo, una sección puede ser extendida con nuevo hardware o software mientras la otra continúa ejecutando las operaciones del sistema.

CUADRO C, DISEÑO Y POTENCIAL DEL RPH/RED EN ANILLO

Diseño lógico

Varias conexiones punto a punto de la SPU al RPH con dos tipos de canales de comunicación:

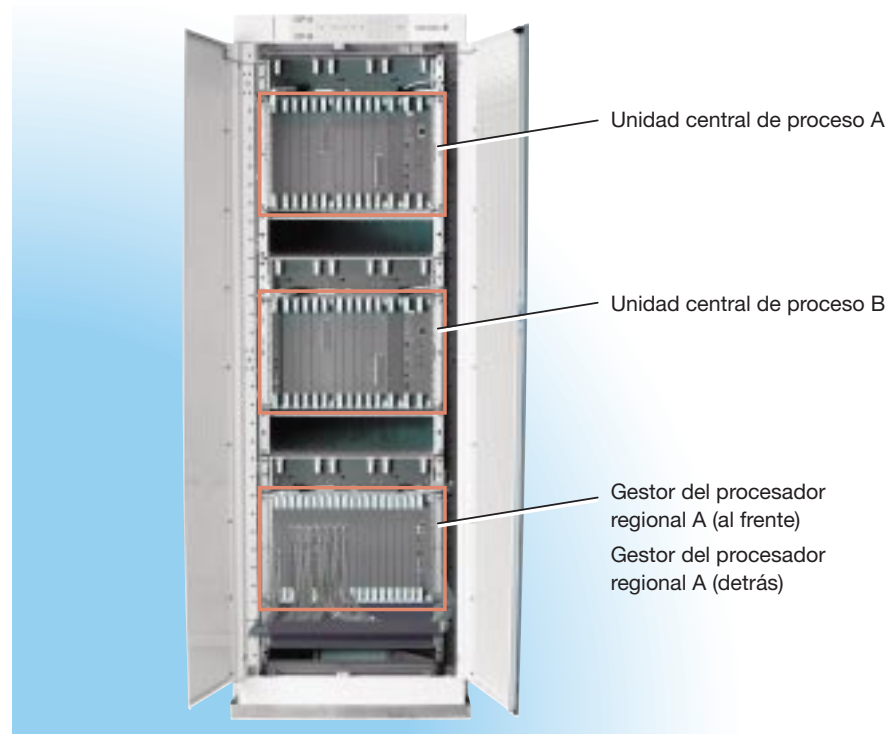
- un canal de señalización
- un canal de radiodifusión (del SPU a cada RPH)

Diseño físico

- Topología de anillo con un protocolo de intervalo de tiempo que garantiza ancho de banda por RPH.
- La operación síncrona del reloj soporta la tolerancia a fallos en el procesador central.

- 160 Mbit/s de ancho de banda
- Altamente configurable
 - placas de interfaz de 1 a 16 de los tipos disponibles
 - configuración libre de interfaces de bus RP paralelo y serie
 - (preparado para) ancho de banda asignable dinámicamente por placa
 - soporte para nuevas interfaces de alta velocidad
 - la configuración automática identifica nuevas placas

Figura 6
Armario del APZ 212 30.



Además de la configuración tolerante a fallos, cada sección de CP ha sido diseñada para proporcionar alta disponibilidad. La memoria (SRAM y SSRAM) está protegida mediante un código de corrección de error (Error Correcting Code - ECC), que corrige los errores de un solo bit. El EEC corrige también fallos en circuitos completos. El almacenamiento de datos, por ejemplo, contiene un gran número de circuitos de memoria, que proporcionan hasta 8 GBytes de memoria. Por consiguiente, si se detectan fallos en estos circuitos, el ECC los corrige.

El uso extensivo de circuitos integrados específicos para la aplicación (Application Specific Integrated Circuits - ASIC) da lugar a un diseño muy limpio (las placas de circuito solamente contienen circuitos a medida y memoria) y reduce la disipación de potencia. Estas características contribuyen a un excepcional tiempo medio entre fallos del sistema (Mean Time Between System Failures - MTBSF) para fallos de hardware — 10.000 años en la mayoría de las configuraciones.

Tecnología

El APZ 212 30 se compone de ocho diseños de circuito separados: uno para la unidad de almacenamiento de datos, dos para las placas de la IPU, dos para la placa de la SPU, una para el

RPH, una para la placa del controlador de energía (Power Controller - POWC), y uno la unidad de prueba (equipo de rastreo MIT). Todos los circuitos han sido implementados en CMOS de 0,35 micras de alta integración. Esta tecnología de circuito facilitó la avanzada arquitectura del APZ 212 30 que se necesitaba para obtener alta capacidad. En gran medida, la capacidad del procesador de aplicaciones de telecomunicaciones está limitada por el tiempo de acceso a grandes almacenamientos de datos externos. A una frecuencia de sistema de 80 MHz, el APZ 212 30 con su avanzada IPU superescalar de arquitectura Harvard, placas SRAM, y uso de procedimientos de decodificación previa en tiempo de carga, puede mantener fácilmente el ritmo de los intentos de acceso a memoria.

El circuito del procesador de la IPU está alojado en un paquete de retícula de bola (ball grid array - BGA) de 735 patillas. Es el circuito más grande, con 2,8 millones de transistores en lógica y 7,4 millones transistores en memoria.

El procesador APZ 212 30 está alojado en un solo armario (de 600 mm de ancho) que contiene cuatro subbastidores, dos por cada sección de CP (Figura 6). El subbastidor de la CPU de cada sección contiene las placas del procesador y la memoria; el subbastidor del RPH contiene las placas de interfaz con los buses RP.

Soporte de software y adaptación

Acompañando al nuevo hardware van nuevas versiones del sistema operativo (CPS) y del sistema de mantenimiento (MAS). Éstas incluyen soporte para el nuevo hardware y funciones del procesador:

- Memorias intermedia de comunicación — el sistema operativo soporta la asignación y eliminación de asignación de memorias intermedia de comunicación y para gestionar listas de estas memorias.
- Placas SRAM de almacenamiento de datos — el sistema operativo mide y asigna a la SRAM los datos usados frecuentemente.
- Funciones de medición — soporte para contadores de desempeño incorporados para medir el comportamiento del software; y los mecanismos de mejora de capacidad en el procesador.
- Red en anillo del RPH — configuración de placas de interfaz.

Soporte de diseño de software

Mientras los diseñadores de hardware desarrollaban el nuevo procesador APZ, otros desarrolladores trabajaban en una versión superior del soporte de diseño de software:

- Compilador PLEX — la nueva versión ofrece más capacidad y soporta los nuevos búfers de comunicación.
- Emulador de CP de EMU — una nueva versión, basada en la nueva tecnología de emulación, acelera la emulación y emula de forma más exacta al procesador APZ.
- Equipo de rastreo MIT — este dispositivo de rastreo de una sola placa, que se monta en una ranura libre del subbastidor de la CPU, puede registrar cada operación efectuada en el CP, incluyendo la ejecución de todas las instruc-

ciones de la aplicación, la ejecución de microinstrucciones en la IPU y los dos procesadores SPU, y señales entre unidades. Este dispositivo es invaluable cuando se está depurando el nuevo sistema. En los sistemas reales, los rastreos coleccionados proporcionan datos para un análisis detallado del comportamiento de la aplicación.

Direcciones futuras

El APZ 212 30 es totalmente susceptible de actualización. Su avanzada arquitectura proporcionará una capacidad substancialmente mayor cuando esté adaptado a los futuros procesos de silicio. Es más, se pueden incluir nuevas características para disminuir aún más el tiempo fuera de servicio del sistema y simplificando la gestión del sistema.

Los siguientes diseños harán un mayor uso de interfaces y componentes estándar de ordenador y soportarán los protocolos estándar de Internet.

Conclusión

El APZ 212 30 es un diseño de procesador completamente nuevo que está ahora en funcionamiento en varios mercados en todo el mundo. Usa una avanzada arquitectura para lograr alta capacidad en aplicaciones de telecomunicaciones. El procesador da una capacidad de ejecución de tres a cuatro veces más grande y extiende la capacidad de almacenamiento de datos a 4 Gpalabras (8 Gbytes).

Una nueva interfaz de bus de comunicación genérica da mayor flexibilidad y abre el sistema a nuevos tipos de buses de comunicación.

La avanzada arquitectura del procesador — implementada mediante tecnología CMOS estándar — cumple los objetivos de desempeño, integración, y disipación de energía, y ofrece un tiempo medio entre fallos del sistema relacionados con el hardware excepcionalmente alto.